(19) JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11317500 A**

(43) Date of publication of application: **16.11.99**

(51) Int. Cl

H01L 27/04
H01L 21/822
H01L 27/10
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **11053239**

(22) Date of filing: **01.03.99**

(30) Priority: **04.03.98 JP 10 52128**

(71) Applicant: **NEC CORP**

(72) Inventor: **AMANUMA KAZUSHI**

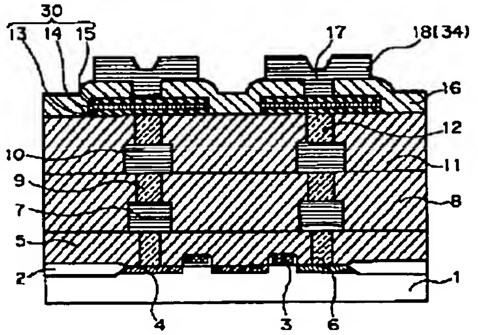
(54) **SEMICONDUCTOR DEVICE HAVING CAPACITIVE ELEMENT, AND MANUFACTURE THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device using a ceramic thin-film capacitance, in which a multilayer metallic wiring is can be easily formed and deterioration of a capacitive element will not occur.

SOLUTION: The plug of a stack structure of a via 9 and metal wirings 7 and 10 formed simultaneously with the formation of a multilayer metal wiring connects a ceramic thin-film capacitance 30 to a diffusion layer 4. Hydrogen annealing is carried out after the formation of the multilayer metal wiring and prior to the formation of the ceramic thin-film capacitance 30. Since the capacitance 30 is formed after the formation of the multilayer metal wiring, the formation of the multilayer metal wiring resulting from a capacitance difference will not be prevented. Furthermore, since it is unnecessary to make a via for a tungsten plug after formation of the capacitance, no deterioration of the capacitance takes place by chemical vapor deposition(CVD) method of tungsten. Furthermore, since the capacitance can be formed without modifying a process device in a logical circuit part, existing design parameters can be used.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁（JP）　(12) 公開特許公報（A）　(11)特許出願公開番号

特開平11－317500

(43)公開日　平成11年(1999)11月16日

(51)Int.Cl.⁶		識別記号	FI		
H01L	27/04		H01L	27/04	C
	21/822			27/10	451
	27/10	451			621Z
	27/108				651
	21/8242			29/78	371

審査請求　未請求　請求項の数43　OL　（全 22 頁）　最終頁に続く

(21)出願番号　特願平11－53239

(22)出願日　平成11年(1999)3月1日

(31)優先権主張番号　特願平10－52128

(32)優先日　平10(1998)3月4日

(33)優先権主張国　日本（JP）

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者　天沼　一志
東京都港区芝五丁目7番1号　日本電気株式会社内

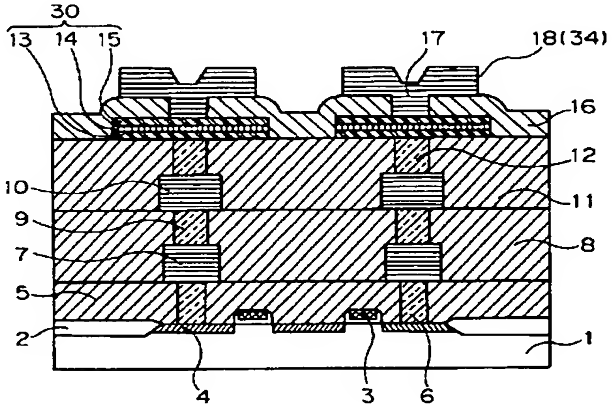
(74)代理人　弁理士　天野　広

(54)【発明の名称】　容量素子を有する半導体装置及びその製造方法

(57)【要約】

【課題】容易に多層メタル配線を形成でき、かつ、容量素子の劣化も生じないセラミック薄膜容量を用いた半導体装置を提供する。

【解決手段】多層メタル配線の形成と同時に形成されたビア9とメタル配線7、10を積層した構造からなるプラグによって、セラミック薄膜容量30と拡散層4とを接続し、多層メタル配線の形成後であって、セラミック薄膜容量30の形成前に水素アニールを行う。多層メタル配線の形成後にセラミック薄膜容量30を形成するので、容量による高低差に起因して多層メタル配線の形成が妨げられることがない。また、容量形成後にタングステンプラグによるビアを形成する必要がない。そのため、タングステンのCVDにより容量が劣化することがない。さらに、論理回路部のプロセス・デバイスを何ら変更することなく容量を形成できるため、既存の設計パラメータを使用できる。



【特許請求の範囲】

【請求項１】　基板と、少なくとも１層のメタル配線と、セラミック薄膜容量を有する半導体装置において、
前記セラミック薄膜容量は、下部電極、セラミック薄膜、上部電極がこの順に積層されてなり、
前記下部電極、セラミック薄膜、上部電極が前記メタル配線よりも上部に形成されていることを特徴とする半導体装置。

【請求項２】　前記セラミック薄膜容量を構成する電極のうち、少なくとも一方の電極が配線を介して前記基板と接続されており、前記配線が少なくとも１層のメタル配線を含むことを特徴とする請求項１に記載の半導体装置。

【請求項３】　前記セラミック薄膜容量は前記基板と配線を介して接続されており、
前記配線は、メタル配線と前記基板とを接続するコンタクト、メタル配線、該メタル配線と前記セラミック薄膜容量の１つの電極とを接続するビアを積層した構造、または、メタル配線と前記セラミック薄膜容量の一つの電極との間に少なくとも１つのメタル配線及びビアが積層された構造を有することを特徴とする請求項１に記載の半導体装置。

【請求項４】　前記セラミック薄膜容量の少なくとも一方の電極が配線を介して前記基板と接続されており、
前記配線は、
少なくとも１層のメタル配線と、
前記メタル配線よりも後に形成されたコンタクトであって、前記セラミック薄膜容量の電極の１つまたは前記メタル配線の何れか一方と前記基板とを接続するコンタクトと、
を含む構造であることを特徴とする請求項１または３に記載の半導体装置。

【請求項５】　前記セラミック薄膜容量の少なくとも一方の電極が配線を介して前記基板と接続されており、
前記配線は、少なくとも一つのコンタクトまたはビアを直接積層した構造を有することを特徴とする請求項１乃至４の何れか一項に記載の半導体装置。

【請求項６】　前記セラミック薄膜容量の上部に少なくとも一層のメタル配線がさらに形成されていることを特徴とする請求項１乃至５の何れか一項に記載の半導体装置。

【請求項７】　前記セラミック薄膜容量の上部に形成されたメタル配線は、少なくとも前記セラミック薄膜容量を含むメモリセルを備えたメモリのプレート線としてのみ用いられることを特徴とする請求項１乃至６の何れか一項に記載の半導体装置。

【請求項８】　前記セラミック薄膜容量の電極の１つを前記メタル配線または前記基板と接続するビアまたはコンタクトが前記セラミック薄膜容量の中央から偏心して配置されていることを特徴とする請求項１乃至７の何れか一項に記載の半導体装置。

【請求項９】　前記セラミック薄膜容量の上部に形成されているコンタクトは前記セラミック薄膜容量の下部に形成されているコンタクトとは偏心して配置されていることを特徴とする請求項１乃至８の何れか一項に記載の半導体装置。

【請求項１０】　前記セラミック薄膜容量を形成する上部電極は下部電極よりも小さい面積を有して積層されていることを特徴とする請求項１乃至９の何れか一項に記載の半導体装置。

【請求項１１】　前記セラミック薄膜容量は、
層間絶縁膜上に間隔をあけて形成された複数の下部電極と、
前記層間絶縁膜と前記下部電極の双方の全面を覆うセラミック薄膜と、
前記下部電極の少なくとも一部を覆うように、前記セラミック薄膜上に形成されている上部電極と、
からなるものであることを特徴とする請求項１乃至９の何れか一項に記載の半導体装置。

【請求項１２】　前記セラミック薄膜容量とその下方の層間絶縁膜との間に拡散バリア膜が形成されていることを特徴とする請求項１乃至１１の何れか一項に記載の半導体装置。

【請求項１３】　前記セラミック薄膜容量の下部電極と前記セラミック薄膜容量の下方に位置するメタル配線とを接続するコンタクトと、前記メタル配線の下方に形成されているビアとは、前記メタル配線を介して、間隔をあけて配置されていることを特徴とする請求項１乃至１２の何れか一項に記載の半導体装置。

【請求項１４】　前記セラミック薄膜容量と前記基板との間には少なくとも二層のメタル配線が形成されており、上方のメタル配線はコンタクトを介して前記基板と直接接続されていることを特徴とする請求項１乃至１３の何れか一項に記載の半導体装置。

【請求項１５】　前記セラミック薄膜容量の上方にプレート線裏打ち配線が形成されていることを特徴とする請求項１乃至１４の何れか一項に記載の半導体装置。

【請求項１６】　ワード線の裏打ち配線が、前記セラミック薄膜容量よりも下方のメタル配線により形成されていることを特徴とする請求項１乃至１５の何れか一項に記載の半導体装置。

【請求項１７】隣り合うワード線の裏打ち配線が少なくとも２層のメタル配線により形成されていることを特徴とする請求項１６に記載の半導体装置。

【請求項１８】前記ワード線裏打ち配線を形成する２層のメタル配線が、メモリセルアレイ内において少なくとも１個所で交差されていることを特徴とする請求項１７に記載の半導体装置。

【請求項１９】　前記セラミック薄膜容量の上方には層間絶縁膜を介してメタル配線が形成されており、前記メ

タル配線は、その末端において、前記層間絶縁膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、前記セラミック薄膜容量の下方に形成されたメタル配線または基板と接続されていることを特徴とする請求項１乃至１８の何れか一項に記載の半導体装置。

【請求項２０】　前記セラミック薄膜容量の上方には層間絶縁膜を介してメタル配線が形成されており、前記メタル配線は、その末端において、前記層間絶縁膜に形成された凹部を介して、前記セラミック薄膜容量の下方に形成されたビアに接続され、前記ビアを介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項１乃至１８の何れか一項に記載の半導体装置。

【請求項２１】　前記セラミック薄膜容量の上方には層間絶縁膜を介してメタル配線が形成されており、前記メタル配線は、その末端において、前記層間絶縁膜及び前記セラミック薄膜容量のセラミック薄膜の双方にわたって形成された凹部を介して、前記セラミック薄膜容量の下部電極に接続され、前記下部電極を介して、前記セラミック薄膜容量の下方に形成されたビアに接続され、前記ビアを介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項１乃至１８の何れか一項に記載の半導体装置。

【請求項２２】　前記セラミック薄膜容量の上部電極は、その末端において、前記セラミック薄膜容量のセラミック薄膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項１乃至１８の何れか一項に記載の半導体装置。

【請求項２３】　前記セラミック薄膜容量の上部電極は、その末端において、前記セラミック薄膜容量のセラミック薄膜に形成された凹部を介して、前記セラミック薄膜容量の下部電極に接続され、前記下部電極を介して、前記セラミック薄膜容量の下方に形成されたビアに接続され、前記ビアを介して、前記セラミック薄膜容量の下方に形成されたメタル配線または前記基板と接続されていることを特徴とする請求項１乃至１８の何れか一項に記載の半導体装置。

【請求項２４】　前記メタル配線がアルミニウムまたは銅を主成分とするものであることを特徴とする請求項１乃至２３の何れか一項に記載の半導体装置。

【請求項２５】　前記セラミック薄膜容量の電極の１つを前記メタル配線または前記基板と接続するビアまたはコンタクトがタングステンを主成分とするものであることを特徴とする請求項１乃至２４の何れか一項に記載の半導体装置。

【請求項２６】　前記セラミック薄膜容量の下部電極が導電性窒化物を含むものであることを特徴とする請求項１乃至２５の何れか一項に記載の半導体装置。

【請求項２７】　前記導電性窒化物が窒化チタン、窒化タンタルまたは窒化タングステンであることを特徴とする請求項２６に記載の半導体装置。

【請求項２８】　前記セラミック薄膜容量の下部電極が前記導電性窒化物を含む層と貴金属層とを積層したものであることを特徴とする請求項２６または２７に記載の半導体装置。

【請求項２９】　前記貴金属層が、白金、イリジウム、ルテニウムもしくはこれらの合金、またはこれらを積層したものであることを特徴とする請求項２８に記載の半導体装置。

【請求項３０】　少なくとも１層のメタル配線を形成する第一の過程と、
前記第一の過程の後にセラミック薄膜容量を形成する第二の過程と、
を含む半導体装置の製造方法。

【請求項３１】　少なくとも１層のメタル配線を形成する第一の過程と、
水素を含んだ雰囲気でアニールを行う第二の過程と、
前記第二の過程の後にセラミック薄膜容量を形成する第三の過程と、
を含む半導体装置の製造方法。

【請求項３２】　前記第二の過程におけるアニールは摂氏３００度から摂氏５００度の範囲の温度で行われることを特徴とする請求項３１に記載の半導体装置の製造方法。

【請求項３３】　少なくとも１層のメタル配線を形成する第一の過程と、
セラミック薄膜容量の少なくとも一方の電極と基板とを接続する配線の一部としてのメタル配線を形成する第二の過程と、
を含む半導体装置の製造方法。

【請求項３４】　前記セラミック薄膜容量は、
下部電極を形成する第一の過程と、
前記下部電極上にセラミック薄膜を形成する第二の過程と、
前記セラミック薄膜上に上部電極を形成する第三の過程と、
前記下部電極、前記セラミック薄膜及び前記上部電極をエッチングする第四の過程と、
から形成されるものであることを特徴とする請求項３０乃至３３の何れか一項に記載の半導体装置の製造方法。

【請求項３５】　前記セラミック薄膜容量は、
下部電極を成膜し、これをエッチングする第一の過程と、
前記下部電極上にセラミック薄膜を形成する第二の過程と、
前記セラミック薄膜上に上部電極を成膜し、これをエッ

チングする第三の過程と、
から形成されるものであることを特徴とする請求項３０乃至３３の何れか一項に記載の半導体装置の製造方法。

【請求項３６】　前記セラミック薄膜は化学的気相成長により摂氏５００度以下の温度で形成されることを特徴とする請求項３４または３５に記載の半導体装置の製造方法。

【請求項３７】　前記下部電極と、前記下部電極の下方の層間絶縁膜との間に拡散バリア膜を形成する過程をさらに備えることを特徴とする請求項３０乃至３６の何れか一項に記載の半導体装置の製造方法。

【請求項３８】　前記セラミック薄膜容量の上部に少なくとも一層のメタル配線をさらに形成する過程を備えることを特徴とする請求項３０乃至３７の何れか一項に記載の半導体装置の製造方法。

【請求項３９】　前記セラミック薄膜容量の上部に形成される前記メタル配線は還元性の弱い雰囲気で形成されることを特徴とする請求項３８に記載の半導体装置の製造方法。

【請求項４０】　前記セラミック薄膜容量上に層間絶縁膜を形成する過程と、
前記層間絶縁膜を介して前記セラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備え、
前記第一のメタル配線は、その末端においては、前記層間絶縁膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、前記セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、前記凹部内に形成されるものであることを特徴とする請求項３０乃至３９の何れか一項に記載の半導体装置の製造方法。

【請求項４１】　前記セラミック薄膜容量上に層間絶縁膜を形成する過程と、
前記層間絶縁膜を介して前記セラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備え、
前記第一のメタル配線は、その末端においては、前記層間絶縁膜に凹部を形成した後に、前記凹部内に形成され、前記第一のメタル配線は、前記セラミック薄膜の下方に形成された第二のメタル配線と接続されていることを特徴とする請求項３０乃至３９の何れか一項に記載の半導体装置の製造方法。

【請求項４２】　前記セラミック薄膜容量の上部電極は、その末端においては、前記セラミック膜及び前記セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、前記セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、前記凹部内に形成されるものであることを特徴とする請求項３０乃至３９の何れか一項に記載の半導体装置の製造方法。

【請求項４３】　前記セラミック薄膜容量の上部電極は、その末端においては、前記セラミック膜に凹部を形成した後に、前記凹部内に形成され、前記上部電極は、前記セラミック薄膜容量の下部電極及び前記下部電極の下方に形成されたビアを介して、前記セラミック薄膜容量の下方に形成された第二のメタル配線と接続されていることを特徴とする請求項３０乃至３９の何れか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は容量素子を有する半導体装置に関し、特に、強誘電体容量及び高誘電率体容量を有する半導体装置とその製造方法に関する。

【０００２】

【従来の技術】近年、強誘電体容量を利用した強誘電体メモリや、高誘電率体容量を利用したダイナミック・ランダム・アクセス・メモリ（ＤＲＡＭ）等が活発に研究開発されている。これらの強誘電体メモリ及びＤＲＡＭは選択トランジスタを備えており、該選択トランジスタの一方の拡散層に接続された容量をメモリセルとして情報を貯えている。強誘電体容量は容量絶縁膜としてＰｂ（Ｚｒ，Ｔｉ）O_3（以下、「ＰＺＴ」と呼ぶ）等の強誘電体薄膜を用いており、強誘電体を分極させることにより不揮発性の情報を貯えることができる。一方、高誘電率体容量は、容量絶縁膜として（Ｂａ，Ｓｒ）ＴｉO_3（以下、「ＢＳＴ」と呼ぶ）等の高誘電率体薄膜を用いているため、容量のキャパシタンスを高めることができ、素子の微細化を可能にしている。

【０００３】このような強誘電体容量及び高誘電率体容量を機能させるためには、前述のように、選択トランジスタの拡散層に容量のどちらか一方の電極を電気的に接続する必要がある。

【０００４】従来、ＤＲＡＭにおいては、選択トランジスタの一方の拡散層に接続されたポリシリコンを容量の一方の電極とし、該ポリシリコンの表面に容量の絶縁膜としてSiO_2膜やSi_3N_4膜等を形成し、容量とする構造が一般的である。しかしながら、強誘電体薄膜や高誘電率体薄膜（以後、「セラミック薄膜」と呼ぶ）は酸化物であるため、ポリシリコンの表面に直接形成しようとするとポリシリコンが酸化されるため、良好な薄膜を形成することができない。

【０００５】そのため、１９９５シンポジウム・オン・ブイエルエスアイ・ダイジェスト・オブ・テクニカル・ペーパーズ（１９９５　Ｓｙｍｐｏｓｉｕｍ　ｏｎ　ＶＬＳＩ　Ｔｅｃｈｎｏｌｏｇｙ　Ｄｉｇｅｓｔ　ｏｆ　Ｔｅｃｈｎｉｃａｌ　Ｐａｐｅｒｓ）　ｐｐ．１２３では、Ａｌ等からなるメタルの局所配線により、容量上部電極と拡散層とを接続するセル構造が述べられている。

【０００６】また、インターナショナル・エレクトロン・デバイセス・ミーティング・テクニカル・ダイジェス

ト（International electron devices meeting technical digest） 1994pp．843にはポリシリコン上にＴｉＮバリアメタルを用いてＰＺＴ容量を形成する技術が述べられている。

【０００７】ＤＲＡＭについては、例えば、インターナショナル・エレクトロン・デバイセス・ミーティング・テクニカル・ダイジェスト（International electron devices meeting technical digest） 1994 pp．841には、ポリシリコンプラグ上に形成されたRuO_2／ＴｉＮ下部電極上に$SrTiO_3$薄膜を成膜し、容量を形成する技術が述べられている。

【０００８】すなわち、これまでの強誘電体メモリ及びＤＲＡＭの形成においては、上記のように、容量を形成した後に、メタル配線が形成される方法が取られてきた。

【０００９】

【発明が解決しようとする課題】しかしながら、上記のように容量を局所配線またはポリシリコンプラグ等で拡散層と接続するメモリセル構造には以下のような問題点があった。

【００１０】第１の問題点は、多層メタル配線の形成が困難になることである。

【００１１】強誘電体薄膜または高誘電率体薄膜を用いた強誘電体メモリやＤＲＡＭをより高集積化し、また、論理回路とこのようなメモリとを混載した半導体装置を実現するためには、多層メタル配線を形成する必要がある。多層メタル配線の形成に際しては、化学機械研磨法（ＣＭＰ法）等によりメタル配線層間の絶縁膜を平坦化することが行われている。

【００１２】しかしながら、容量の形成に起因して、容量のあるセルアレイ部と容量がない論理回路部との高低差が大きくなり、平坦化及び平坦化後のコンタクトやビアによる配線層の接続が困難になるという問題点がある。

【００１３】特開平９－９２７９４号公報は、セルとその周辺回路との間の段差を低減し、周辺回路における配線抵抗の小さい多層配線を形成することを目的として、半導体メモリの製造方法を開示している。

【００１４】この製造方法においては、セルの容量の電極とセル領域以外の配線を同時に形成している。セラミック薄膜を用いた容量の電極には通常Ｐｔ等の貴金属が用いられるが、これらの貴金属は加工が難しく、また、配線としては高抵抗であるため、セル領域以外の配線として用いることは困難である。

【００１５】第２の問題点は、論理回路とメモリとを混載した半導体回路を実現する際の設計コストが増加することである。

【００１６】その理由は、上述の第１の問題点のために論理回路のプロセス・デバイスを変更する必要が生じるため、既存の設計パラメータを使用することができなくなるからである。

【００１７】第３の問題点は、多層メタル配線の形成プロセスにおいて、容量の電気的特性が劣化することである。

【００１８】多層メタル配線において、メタル配線間を接続するビアには、通常、タングステンプラグが形成されているが、タングステン（W）の成膜は次式で表わされる反応において行われる。

【００１９】

$$2WF_6+3SiH_4 \rightarrow 2W+3SiH_4+6H_2$$

すなわち、タングステン（W）の成膜は非常に強い還元性雰囲気で行われる。セラミック薄膜は酸化物であるため、還元性雰囲気に曝されると、酸素欠損を生じる。そのため、抵抗の低下（結果的に、リーク電流の増大）、強誘電体分極量の減少、誘電率の低下その他の電気的特性の劣化を生じるという問題点がある。

【００２０】特開平９－１９９６７９号公報は、還元雰囲気を回避し、かつ、深いコンタクトホールの埋め込みを可能にする半導体装置の構造を提案している。この半導体装置においては、記憶回路部の拡散層とＣＭＯＳ回路部の拡散層に至る開口部に耐熱性金属からなるプラグコンタクトを形成した後、強誘電他容量を形成し、さらに、耐熱性金属プラグコンタクトに対してアルミ配線が形成される。

【００２１】しかしながら、このような半導体装置の構造を実現するためには、複雑な製造工程を必要とする。また、この半導体装置の構造は第１層のメタル配線に対しては適用することができるが、第２層のメタル配線と第１層のメタル配線を接続するビアにはタングステンの成膜が必要であるため、多層のメタル配線に対しては、解決策とはなり得ない。

【００２２】第４の問題点は、トランジスタのしきい値（Ｖｔ）のばらつきが生じたり、サブスレッショルド特性が劣化することである。

【００２３】プラズマ・エッチングにおけるプラズマ・ダメージ等によりＭＯＳ型トランジスタのゲート酸化膜中に生じた界面準位や固定電荷により、トランジスタのしきい値（Ｖｔ）にばらつきが生じたり、サブスレッショルド特性が劣化する。

【００２４】これらを改善する手法として、水素を含んだ雰囲気中でのアニール（水素アニール）が従来から行われている。しかし、セラミック薄膜を用いた容量素子を有する半導体装置については、第３の問題点で述べたように、容量素子を形成した後にこのようなアニールを行うと、容量の電気的特性の劣化を生じるため、容量素子の形成後はこのようなアニールは行うことができない。

【００２５】そこで、例えば、特開平７－１１１３１８

号公報には、容量上にSi_3N_4等の水素バリア膜を設ける技術が開示されている。この技術は、水素バリア膜を容量上に設けることにより、容量への水素の拡散を防止し、もって、還元性雰囲気における容量素子の劣化を防ぐものである。

【００２６】しかしながら、この技術においては、水素バリア膜を形成及び加工する過程が増加するため、工程数の増加ひいては製造コストの増加という新たな問題をもたらしている。

【００２７】しかも、より高集積化・微細化した素子にこの技術を適用する場合には、水素バリア膜にも薄膜化が求められる。しかしながら、水素バリア膜を薄膜化すると、水素バリア性が不十分になるという問題を引き起こす。

【００２８】一方、近年の半導体装置の大規模化・高速化及び素子の微細化に伴い、トランジスタ特性のばらつきの低減はますます重要となっている。

【００２９】第５の問題点は、従来のように、容量を形成した後に、メタル配線及びメタル配線と基板とを接続するコンタクトを形成すると、容量特性の劣化及び容量と他の素子を接続する配線抵抗の増加を引き起こすことである。

【００３０】通常、メタル配線と基板とを接続するコンタクトを形成する際には、メタル配線と基板との間の抵抗を低減するため、コンタクトを開孔した後に、イオン注入を行っている。そのため、イオン注入後において、イオン活性化のために、７００℃程度またはそれ以上の温度での熱処理を行うことを必要とする。

【００３１】しかしながら、セラミック薄膜容量を形成した後にそのような高温の熱処理を行うと、セラミック、電極及び配線が相互反応及び相互拡散を起こす。このため、上述のように、容量特性の劣化や配線抵抗の増加が起こる。

【００３２】このような容量素子形成後の高温熱処理による容量素子の劣化を解決する方法として、特開平６－８５１８７号には、メタル配線を形成後に容量を形成する半導体記憶装置の製造方法が述べられている。この製造方法によれば、メタル配線形成後に容量の蓄積電極と基板の拡散層を接続するコンタクトを開口し、その後に容量蓄積電極を形成することにより、容量素子と基板とを接続している。

【００３３】しかしながら、このような構造では、メタル配線が２層あるいはそれ以上の場合には、コンタクトホールが著しく深くなり、その中に容量の蓄積電極を形成することは著しく極めて困難であるという問題を伴う。

【００３４】以上のような問題点により、多層メタル配線構造を用いた強誘電体メモリやセラミック薄膜容量ＤＲＡＭは未だ実現されていない。

【００３５】本発明は以上のような従来の容量素子を有する半導体装置における問題点に鑑みてなされたものであり、容易に多層メタル配線を形成でき、かつ、容量素子の劣化を生じないセラミック薄膜容量を用いた半導体装置を提供することを目的とする。

【００３６】また、本発明は、低コストで論理回路とセラミック薄膜容量を用いたメモリとを混載したチップを実現し得る半導体装置を提供することを目的とする。

【００３７】さらに本発明は、セラミック薄膜容量を用い、かつ、良好なトランジスタ特性を有する半導体装置を提供することを目的とする。

【００３８】

【課題を解決するための手段】本発明による半導体装置は、従来のように、容量を局所配線またはポリシリコンプラグ等で拡散層と接続するメモリセル構造に対し、多層メタル配線の形成と同時に形成されたビアとメタル配線を積層した構造からなるプラグによって、容量と拡散層を接続するメモリセル構造としたことを特徴としている。

【００３９】従って、容量による高低差のために、多層メタル配線の形成が妨げられることがない。また、論理回路部のプロセス・デバイスを何ら変更することなく容量を形成することができるため、既存の設計パラメータをそのまま使用することができる。

【００４０】具体的には、本発明のうち、請求項１は、基板と、少なくとも１層のメタル配線と、下部電極、セラミック薄膜、上部電極がこの順に積層されてなるセラミック薄膜容量を有する半導体装置において、セラミック薄膜容量を構成する下部電極、セラミック薄膜、上部電極が、少なくとも１層のメタル配線より上部に形成されていることを特徴とする半導体装置を提供する。

【００４１】請求項２に記載されているように、セラミック薄膜容量を構成する電極のうち、少なくとも一方の電極が配線を介して基板と接続されており、その配線が少なくとも１層のメタル配線を含むように構成することが好ましい。

【００４２】また、配線を介してセラミック薄膜容量と基板とを接続させる場合、請求項３に記載されているように、該配線は、メタル配線と基板とを接続するコンタクト、メタル配線、該メタル配線とセラミック薄膜容量の１つの電極とを接続するビアを積層した構造、または、メタル配線とセラミック薄膜容量の一つの電極との間に少なくとも一つのメタル配線及びビアが積層された構造を有するように構成することが好ましい。

【００４３】あるいは、請求項４に記載されているように、セラミック薄膜容量の少なくとも一方の電極を配線を介して基板と接続させる場合には、該配線は、少なくとも一層のメタル配線と、該メタル配線よりも後に形成されたコンタクトであって、セラミック薄膜容量の電極の一つまたはメタル配線の何れか一方と基板とを接続するコンタクトと、を含む構造とすることが好ましい。

【0044】あるいは、請求項5に記載されているように、セラミック薄膜容量の少なくとも一方の電極を配線を介して基板と接続させる場合には、該配線は、少なくとも一つのコンタクトまたはビアを直接積層した構造を有することが好ましい。

【0045】請求項1乃至5に示したこれらの具体的な構造により、上述の効果を達成することができる。

【0046】請求項6に記載されているように、セラミック薄膜容量の上部に少なくとも一層のメタル配線をさらに形成することも可能である。

【0047】これによって、さらに、多層のメタル配線を形成することができる。特に、近年の大規模ＬＳＩにおける多層メタル配線においては、一般的に、上層の配線では、下層の配線と比較して、配線幅や配線間スペースが大きくなっている。このため、メタル配線層間にセラミック薄膜容量を形成しても、それによって生じる段差が上層のメタル配線形成に悪影響を及ぼすことはない。

【0048】また、請求項7のように、セラミック薄膜容量の上部に形成されたメタル配線は、少なくともセラミック薄膜容量を含むメモリセルを備えたメモリのプレート線としてのみ用いられることが好ましい。

【0049】また、請求項8に記載されているように、セラミック薄膜容量の電極の一つをメタル配線または基板と接続するビアまたはコンタクトがセラミック薄膜容量の中央から偏心しているように形成することが好ましい。すなわち、ビアまたはコンタクトがセラミック薄膜容量の中央に形成されていないことが好ましい。

【0050】このような構成により、セル面積を増加させることなく、容量の面積を増加させることができる。

【0051】また、請求項9に記載されているように、セラミック薄膜容量の上部に形成されているコンタクトはセラミック薄膜容量の下部に形成されているコンタクトとは偏心するように配置することが好ましい。

【0052】かかる構成により、容量上部のコンタクトと容量との間のマージンを大きくすることができる。

【0053】セラミック薄膜容量は種々の形態に形成することが可能である。

【0054】例えば、請求項10に記載されているように、セラミック薄膜容量を形成する上部電極は下部電極よりも小さい面積を有して積層されているように形成することができる。

【0055】このような構成とすることにより、上部電極と下部電極が容量側壁において、短絡することを防止することができる。

【0056】あるいは、請求項11に記載されているように、セラミック薄膜容量は、層間絶縁膜上に間隔をあけて形成された複数の下部電極と、層間絶縁膜と下部電極の双方の全面を覆うセラミック薄膜と、下部電極の少なくとも一部を覆うようにセラミック薄膜上に形成されている上部電極と、から構成することも可能である。

【0057】この形態によれば、セラミック薄膜を所定の大きさに加工する必要がないため、製造過程をその分だけ簡略化することができる。

【0058】請求項12に記載されているように、セラミック薄膜容量とその下方の層間絶縁膜との間には、拡散バリア膜を形成することもできる。

【0059】特に、下部電極を加工した後に、セラミック薄膜を形成する場合には、セラミック薄膜を構成する元素が層間絶縁膜中に拡散するおそれがあるので、拡散バリア膜を形成することにより、かかる拡散を防止することができる。

【0060】請求項13に記載されているように、セラミック薄膜容量の下部電極と該セラミック薄膜容量の下方に位置するメタル配線とを接続するコンタクトと、該メタル配線の下方に形成されているビアとは、該メタル配線を介して、間隔をあけて配置させることが好ましい。

【0061】ビア及びメタル配線の形成プロセスによっては、ビア上のメタル配線にへこみを生じることがある。このように平坦でないメタル配線上にコンタクトやビアを形成すると、良好な電気的接続が得られない場合がある。このため、コンタクトをビアの直上ではなく、ある程度離した位置に形成することにより、電気的接続の不良を防止することができる。

【0062】セラミック薄膜容量と基板との間に少なくとも二層のメタル配線を形成した場合、請求項14に記載されているように、上方のメタル配線はコンタクトを介して基板と直接接続させることも可能である。

【0063】かかる構成によれば、下方のメタル配線は、例えば、セル内のビット配線としてのみ用いることができるため、セル面積を縮小させることができる。

【0064】請求項15に記載されているように、セラミック薄膜容量の上方にプレート線裏打ち配線を形成することも可能である。

【0065】かかる構成によれば、プレート線の配線抵抗を減少させることができる。

【0066】また、請求項16に記載されているように、ワード線の裏打ち配線が、セラミック容量よりも下方のメタル配線により形成することもできる。

【0067】この場合、請求項17に記載されているように、隣り合うワード線の裏打ち配線が少なくとも2層のメタル配線により形成されることが好ましい。

【0068】さらに、請求項18に記載されているように、ワード線裏打ち配線を形成する2層のメタル配線は、メモリセルアレイ内において少なくとも一個所で交差されていることが、雑音を低減できるため、好ましい。

【0069】請求項19に記載されているように、セラミック薄膜容量の上方に層間絶縁膜を介してメタル配線

を形成する場合、該メタル配線は、その末端において、層間絶縁膜及びセラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させることができる。

【００７０】あるいは、請求項２０に記載されているように、メタル配線は、その末端において、層間絶縁膜に形成された凹部を介して、セラミック薄膜容量の下方に形成されたビアに接続され、該ビアを介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させるようにしてもよい。

【００７１】あるいは、請求項２１に記載されているように、メタル配線は、その末端において、層間絶縁膜及びセラミック薄膜容量のセラミック薄膜の双方にわたって形成された凹部を介して、セラミック薄膜容量の下部電極に接続され、該下部電極を介して、セラミック薄膜容量の下方に形成されたビアに接続され、該ビアを介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させるようにしてもよい。

【００７２】これら三つの何れかの形態により、上記のメタル配線と拡散層との間の接続を行えば、セラミック薄膜容量の形成後に、タングステンのＣＶＤを用いる必要がなくなり、セラミック薄膜容量の劣化を防止することができる。

【００７３】上部電極をプレート線として用いる場合、請求項２２に記載されているように、該上部電極は、その末端において、セラミック薄膜容量のセラミック薄膜及び該セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって形成された凹部を介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させることができる。

【００７４】あるいは、請求項２３に記載されているように、上部電極は、その末端において、セラミック薄膜容量のセラミック薄膜に形成された凹部を介して、セラミック薄膜容量の下部電極に接続され、該下部電極を介して、セラミック薄膜容量の下方に形成されたビアに接続され、該ビアを介して、セラミック薄膜容量の下方に形成されたメタル配線または基板と接続させるようにしてもよい。

【００７５】請求項２４に記載されているように、メタル配線は、例えば、アルミニウムまたは銅を主成分とすることができる。

【００７６】また、請求項２５に記載されているように、セラミック薄膜容量の電極の一つをメタル配線または基板と接続するビアまたはコンタクトは、例えば、タングステンを主成分とすることができる。

【００７７】セラミック薄膜容量の下部電極は、請求項２６に記載されているように、導電性窒化物を含むものとすることができる。

【００７８】また、請求項２７に記載されているように、導電性窒化物は窒化チタン、窒化タンタルまたは窒化タングステンであることが好ましい。

【００７９】さらに、請求項２８に記載されているように、下部電極は導電性窒化物を含む層と貴金属層とを積層した構成とすることができる。

【００８０】この場合、貴金属層は、請求項２９に記載されているように、白金、イリジウム、ルテニウムもしくはこれらの合金、または、これらを積層したものであることが好ましい。

【００８１】請求項３０は、少なくとも一層のメタル配線を形成する第一の過程と、該第一の過程の後にセラミック薄膜容量を形成する第二の過程と、からなる半導体装置の製造方法を提供する。

【００８２】この請求項３０に係る方法により、上述の請求項１に係る半導体装置を形成することができる。

【００８３】さらに、本方法によれば、多層メタル配線を形成した後に、セラミック薄膜容量を形成するため、セラミック薄膜容量形成後にタングステンプラグによるビアを形成する必要がない。そのため、タングステンのＣＶＤによりセラミック薄膜容量が劣化することがない。

【００８４】また、メタル配線と基板とのコンタクトもセラミック薄膜容量の形成前に形成されるため、コンタクト注入後の活性化に起因するセラミック薄膜容量の劣化や配線抵抗の増加を防止することができる。

【００８５】また、請求項３１に記載されているように、上述の方法は、水素を含んだ雰囲気でアニールを行う過程を備えていることが好ましい。

【００８６】この水素アニールにより、トランジスタの劣化を低減することができる。

【００８７】この水素アニールの温度は、請求項３２に記載されているように、摂氏３００度から摂氏５００度の範囲であることが好ましい。

【００８８】摂氏３００度以下ではトランジスタ特性の改善の効果が小さく、摂氏５００度以上ではメタル配線の断線を引き起こすおそれがあるためである。

【００８９】また、請求項３３は、少なくとも一層のメタル配線を形成する第一の過程と、セラミック薄膜容量の少なくとも一方の電極と基板とを接続する配線の一部としてのメタル配線を形成する第二の過程と、からなる半導体装置の製造方法を提供する。

【００９０】この方法により、請求項２に係る半導体装置を製造することができる。

【００９１】セラミック薄膜容量は種々の方法で形成することができる。

【００９２】例えば、セラミック薄膜容量は、請求項３４に記載されているように、下部電極を形成する第一の過程と、下部電極上にセラミック薄膜を形成する第二の過程と、セラミック薄膜上に上部電極を形成する第三の過程と、下部電極、セラミック薄膜及び上部電極をエッ

チングする第四の過程と、から形成することができる。

【0093】あるいは、請求項35に記載されているように、下部電極を成膜し、これをエッチングする第一の過程と、下部電極上にセラミック薄膜を形成する第二の過程と、セラミック薄膜上に上部電極を成膜し、これをエッチングする第三の過程と、から形成することもできる。

【0094】これらの場合、請求項36に記載されているように、セラミック薄膜は摂氏500度以下の温度で形成されることが好ましい。

【0095】通常のゾル・ゲル法やスパッタリング法では、良好なセラミック薄膜を得るためには、摂氏600度以上における成膜が必要であるが、そのような高温では、メタル配線の断線や高抵抗化を招く。このため、CVD法を用いることにより、摂氏500度以下の低温で成膜することができる。

【0096】請求項35に記載した方法のように、下部電極を加工した後に、セラミック薄膜を形成する場合には、請求項37に記載したように、下部電極と、該下部電極の下方の層間絶縁膜との間に拡散バリア膜を形成する過程をさらに備えることが好ましい。

【0097】請求項38に記載されているように、セラミック薄膜容量の上部に少なくとも一層のメタル配線をさらに形成してもよい。

【0098】これにより、さらに多層のメタル配線層を形成することができる。

【0099】この場合、請求項39に記載されているように、セラミック薄膜容量の上部に形成されるメタル配線は還元性の弱い雰囲気で形成されることが好ましい。

【0100】これにより、メタル配線の下方に位置するセラミック薄膜容量の劣化を防止することができる。

【0101】請求項40は、セラミック薄膜容量上に層間絶縁膜を形成する過程と、層間絶縁膜を介してセラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備える半導体装置の製造方法であって、第一のメタル配線は、その末端においては、層間絶縁膜及びセラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、凹部内に形成されるものである方法を提供する。

【0102】この方法により、請求項19に係る半導体装置を提供することができる。

【0103】請求項41は、セラミック薄膜容量上に層間絶縁膜を形成する過程と、層間絶縁膜を介してセラミック薄膜容量に接続する第一のメタル配線を形成する過程と、をさらに備える半導体装置の製造方法であって、第一のメタル配線は、その末端においては、層間絶縁膜に凹部を形成した後に、該凹部内に形成され、該第一のメタル配線はセラミック薄膜の下方に形成された第二のメタル配線と接続されているものである方法を提供する。

【0104】この方法により、請求項20または請求項21に係る半導体装置を提供することができる。

【0105】請求項42は、セラミック薄膜容量の上部電極は、その末端においては、セラミック膜及び該セラミック薄膜容量の下方に形成された層間絶縁膜の双方にわたって、セラミック薄膜容量の下方に形成された第二のメタル配線に至る凹部を形成した後に、前記凹部内に形成されるものであることを特徴とする半導体装置の製造方法を提供する。

【0106】この方法により、請求項22に係る半導体装置を提供することができる。

【0107】請求項43は、セラミック薄膜容量の上部電極は、その末端においては、セラミック膜に凹部を形成した後に、該凹部内に形成され、該上部電極は、セラミック薄膜容量の下部電極及び該下部電極の下方に形成されたビアを介して、セラミック薄膜容量の下方に形成された第二のメタル配線と接続されているものである方法を提供する。

【0108】この方法により、請求項23に係る半導体装置を提供することができる。

【0109】

【発明の実施の形態】（第一の実施形態）図1には、本発明に係る第一の実施形態としての強誘電体メモリまたはDRAMのメモリセルの一部分の平面図が示されている。図1（A）は第一メタル配線を形成した後までのメモリセルを上方から見たときの平面図であり、図1（B）は第一メタル配線を形成した以降におけるメモリセルを上方から見たときの平面図である。図2は、図1（A）のA－A線に沿った断面図である。また、図3は図1に示したメモリセルの回路図である。

【0110】図3に示すように、メモリセル32は選択トランジスタ31とセラミック薄膜容量30とを備えている。選択トランジスタ31のゲートはワード線33に、ソースまたはドレインの何れか一方はビット線35に、他方はセラミック薄膜容量30を介してプレート線34にそれぞれ接続されている。

【0111】図2に示すように、シリコン基板1上には図3に示した選択トランジスタ31としてのMOS型トランジスタが形成されている。このMOS型トランジスタ上には、Ti等のバリアメタルとAlまたはCuを主成分とする合金とからなる第1メタル配線7が設けられており、タングステンプラグ等からなるコンタクト6を介して、MOS型トランジスタのそれぞれの拡散層4と接続されている。

【0112】図1に示した二つの第1メタル配線7のうち、一方の第1メタル配線7はセラミック薄膜容量30と選択トランジスタ31とを接続する配線として用いられ、他方の第1メタル配線7はビット線35として用いられている。第1メタル配線7の上には、第1メタル配

線7と同様にＴｉ等のバリアメタルとＡｌまたはＣｕを主成分とする合金とからなる第2メタル配線10が設けられており、第2メタル配線10は、コンタクト6と同様にタングステンプラグ等からなるビア9を介して、第1メタル配線7と電気的に接続している。このように、本実施形態に係るメモリセル32においては、第1メタル配線7及び第2メタル配線10からなる多層メタル配線構造が形成されている。

【0113】この多層メタル配線構造上には、セラミック薄膜容量30が設けられている。セラミック薄膜容量30は、下部電極13と、セラミック薄膜14と、上部電極15とがこの順に積層されて構成されている。

【0114】セラミック薄膜容量30の下部電極13は、容量下部コンタクト12を介して第2メタル配線10と接続している。この結果、図3におけるセラミック薄膜容量30と選択トランジスタ31との間の接続がなされたことになる。

【0115】セラミック薄膜容量30上には容量上部コンタクト17を介して第3メタル配線18が形成されている。第3メタル配線18は図3におけるプレート線34として用いられる。

【0116】このように、本実施形態におけるメモリセル32の第2メタル配線10よりも下方の構造は、通常のセラミック薄膜容量素子を持たないＬＳＩと全く同一である。従って、ＬＳＩと同様の製造過程で製造することができる。

【0117】従って、本実施形態によれば、このようなメモリセル32を用いた強誘電体メモリまたはＤＲＡＭと通常のロジックＬＳＩとを一チップ上に混載した半導体装置を、既存のロジック回路を用いて、低コストで実現できるという効果がもたらされる。

【0118】なお、強誘電体メモリまたはＤＲＡＭに用いられるメモリセルのセルトランジスタ31と通常のロジック回路のトランジスタとでは求められる特性が異なる。そのため、セルトランジスタ31はロジック回路のトランジスタとは異なった構造とする場合がある。例えば、ワード線33はメモリ回路の動作電圧よりも高い電圧を印加することが一般に行われているため、ゲート膜厚を他のロジック回路のトランジスタよりも厚くする必要がある場合がある。このように、構造の異なったトランジスタを同一基板上に形成することは、例えば、日経マイクロデバイス1995年3月号55ページに述べられているように一般に行われており、通常のロジック回路の製造過程を用いて実現することができる。

【0119】本実施形態に係るメモリセル32を備えた半導体装置を製造する方法を図4乃至図6に示す。

【0120】先ず、図4（Ａ）に示すように、通常のＬＳＩの製造過程により、シリコン基板1上にメモリセル部及びロジック回路部等のＭＯＳトランジスタを形成する。すなわち、シリコン基板1上に酸化膜2を形成し、

酸化膜2によって素子形成領域を画定し、次いで、ゲート電極3及び拡散層4を形成する。さらに、シリコン基板1上に第1層間絶縁膜5を成膜する。成膜した第1層間絶縁膜5は、ＣＭＰ法、リフロー法等により平坦化する。

【0121】次に、第1メタル配線7と、第1メタル配線7と拡散層4とを接続するコンタクト6を形成する。

【0122】これらの形成方法としては、タングステンプラグ等によりコンタクト6を形成した後、第1メタル配線7を成膜・加工する方法と、層間絶縁膜5をコンタクト6及び第1メタル配線7の形状に加工した後、メタルを埋め込み、その後、余分なメタルを除去してコンタクト6と第1メタル配線7とを同時に形成するデュアルダマシン法とがある。

【0123】前者の場合、コンタクト6をエッチングにより開孔した後、コンタクト注入及び活性化を行い、Ｔｉ，ＴｉＮ等のバリアメタルを成膜する。その後、ＣＶＤ法によりウェハー全面にタングステンを成膜し、次いで、ＣＭＰ法やエッチバックにより表面のタングステンを除去してタングステンプラグを形成する。タングステンプラグは、タングステンの選択成長により形成することもできる。

【0124】次いで、図4（Ｂ）に示すように、コンタクト6の上に第1メタル配線7を形成する。第1メタル配線7はＴｉ，ＴｉＮ等のバリアメタル、Ａｌ，Ｃｕ等を主成分とする合金層、ＴｉＮ等の反射防止膜からなる複合層によって構成され、それぞれスパッタリング法やＣＶＤ法により堆積した後、エッチングにより加工される。

【0125】この後、図5（Ｃ）に示すように、第2層間絶縁膜8を成膜し、平坦化した後、第1メタル配線7上にビア9及び第2メタル配線10を形成する。ビア9及び第2メタル配線10はコンタクト6及び第1メタル配線7と同様な方法により形成される。

【0126】その後、図5（Ｄ）に示すように、第3層間絶縁膜11を形成した後、第2メタル配線10上に容量下部コンタクト12をコンタクト6と同様にタングステンプラグ等により形成する。この際、表面のタングステンの除去はＣＭＰ法により行うことが望ましい。後に形成されるセラミック薄膜容量30を完全に平坦な表面上に形成することができるからである。

【0127】この後、水素を含んだ雰囲気でアニーリングを行う。アニール温度は300℃以上500℃以下が好ましい。300℃以下ではトランジスタ特性改善の効果が小さく、500℃以上ではメタル配線7、10の断線等を引き起こすおそれがあるからである。

【0128】以上の過程は、セラミック薄膜容量を有しない通常のＬＳＩプロセスと同一である。セラミック薄膜容量を拡散層4に接続するための特別なプロセスの変更や追加は何ら行われていない。

【0129】次いで、第3層間絶縁膜11上に容量下部コンタクト12と接続するようにセラミック薄膜容量30を形成する。セラミック薄膜容量30は以下のような手順で形成される。

【0130】先ず、図6（E）に示すように、Pt，Ir，Ru等の貴金属またはIrO_2，RuO_2等の導電性酸化物からなる下部電極13をスパッタリング法その他の方法により、第3層間絶縁膜11上に形成する。

【0131】この場合、容量下部コンタクト12のタングステンと下部電極13のPt等の相互反応及び相互拡散を防止するため、TiN等からなるバリア膜をこれらの貴金属または導電性酸化物層の下に形成することが好ましい。

【0132】次いで、下部電極13の上にPb（Zr，Ti）O_3（PZT），（Ba，Sr）TiO_3（BST），$SrTiO_3$（ST）等からなるセラミック薄膜14をCVD法等により形成する。

【0133】PZTを形成する場合、通常のゾル・ゲル法やスパッタリング法では、良好なPZT薄膜を得るには600℃以上での加熱が必要である。このような高温ではメタル配線の断線や高抵抗化を招き、本構造には適用できない。そのためCVD法のように、500℃程度の低温で成膜することが望ましい。

【0134】PZT薄膜はCVD法により350℃から500℃の温度範囲で、良好な膜を形成することができる。また、ST膜は、例えばインターナショナル　エレクトロン　デバイセス　ミーティングテクニカル　ダイジェスト（International electron devices meeting technical digest）1994 pp．831に述べられているように、ECR－CVD法により450℃で形成することができる。

【0135】上記のような方法で形成したセラミック薄膜14の上に、上部電極15を下部電極13と同様な方法により形成する。

【0136】その後、上部電極15、セラミック薄膜14及び下部電極13をエッチングにより加工する。このようにして、図6（E）に示すようなセラミック薄膜容量30が形成される。

【0137】さらに、セラミック薄膜容量30の上に第4層間絶縁膜16を形成した後、容量上部コンタクト17を開孔する。この後、図6（F）に示すように、プレート線34となる第3メタル配線18を第1、第2メタル配線7、10と同様に形成する。

【0138】第3メタル配線18はプレート線34としてのみ用いられており、他のロジック回路部では用いられていない。そのため、ロジック回路部においては、セラミック薄膜容量30を用いたメモリセルアレイ部を形成することによるデバイスの変更は全くない。この第3メタル配線18の上にSiON等からなるパッシベーション膜（図示せず）が形成される。

【0139】プレート線34は、通常、セルアレイの末端においてプレート線駆動回路のインバータに接続される。以下、プレート線34として用いられる第3メタル配線18を拡散層4に接続する方法を図7及び図8を用いて説明する。

【0140】図7は、第3メタル配線18（プレート線34）を拡散層4に接続する構造の一例を示した断面図である。

【0141】図7に示すように、プレート線コンタクト19は、第4層間絶縁膜16を貫通し、第3層間絶縁膜11内において第2メタル配線10まで達している。第3メタル配線18は、プレート線コンタクト19において、第2メタル配線10に直接に接続され、ビア9、第1メタル配線7及びコンタクト6を介して拡散層4に接続されている。このような構造は以下のように製造することができる。

【0142】先ず、セラミック薄膜容量30上に第4層間絶縁膜16を形成した後に、プレート線コンタクト19及び容量上部コンタクト17を開孔する。その後、第3メタル配線18を形成する。このようにして、上部電極15とのコンタクト及び第2メタル配線10とのコンタクトを同時に形成することができる。

【0143】図8は、第3メタル配線18（プレート線34）を拡散層4に接続する構造の他の例を示した断面図である。

【0144】図8に示すように、第4層間絶縁膜16には、第3層間絶縁膜11の表面に達するプレート線コンタクト19が形成されている。第3メタル配線18は、第2ビア20を介して、第2メタル配線10に接続され、ひいては、ビア9、第1メタル配線7及びコンタクト6を介して拡散層4に接続されている。このような構造は以下のように製造することができる。

【0145】容量下部コンタクト12を形成するときに、同時に第2ビア20を形成する。その後、セラミック薄膜容量30及び第4層間絶縁膜16を形成した後、プレート線コンタクト19を開孔する。その後、第3メタル配線18を形成する。このようにして、上部電極15とのコンタクト及び第2メタル配線10とのコンタクトを同時に形成することができる。

【0146】上記二つのような方法で第3メタル配線18と拡散層4との接続を形成すれば、セラミック薄膜容量30を形成した後にタングステンのCVDを用いる必要がなく、セラミック薄膜容量30の劣化が生じない。

【0147】本実施形態においては、多層メタル配線を形成した後にセラミック薄膜容量30を形成するという過程を採用しているので、セラミック薄膜容量30に起因する高低差のために、多層メタル配線の形成が妨げられることがない。

【0148】また、セラミック薄膜容量30の形成後に

タングステンプラグ構造やメタル配線と基板とのコンタクトを形成する必要がない。そのため、タングステン－ＣＶＤ及び活性化熱処理によりセラミック薄膜容量素子が劣化することがない。

【０１４９】さらに、多層配線を形成した後であって、セラミック薄膜容量３０の形成前に水素アニールを行うため、トランジスタのしきい値Ｖｔのばらつきを低減できるとともに、セラミック薄膜容量素子の劣化を招かない。

【０１５０】また、本実施形態においては、多層メタル配線の形成と同時にセラミック薄膜容量３０と選択トランジスタ３１とを接続するプラグ配線を形成している。従って、セラミック薄膜容量３０と選択トランジスタ３１とを接続するためのプラグを別に設ける必要がなく、製造過程を簡略化することができるという利点も得られる。

【０１５１】上述の第一の実施形態は、本発明を２層メタル配線上にセラミック薄膜容量を形成する場合に適用した例であるが、本発明は、さらに多層のメタル配線を用いる場合についても適用することができる。そのような場合でも、本実施形態と全く同様な方法で、多層メタル配線を形成した後にセラミック薄膜容量を形成することができる。

【０１５２】上述の第一の実施形態では、第３メタル配線１８は最上層のメタル配線となっているが、この上にさらに多層メタル配線を形成することもできる。

【０１５３】近年の大規模ＬＳＩにおいては、近接した素子間を結ぶ局所配線を下層のメタル配線により形成し、電源線等の広範囲に及ぶいわゆるグローバル配線を上層のメタル配線によって形成するといった多層メタル配線の構造が採用されている。そのような場合、上層のメタル配線においては、配線幅や配線間のスペースが下層のメタル配線に比べて大きくなっているのが一般的である。このため、上下層のメタル配線の間にセラミック薄膜容量を形成しても、それによって生じる段差が上層のメタル配線の形成に悪影響を及ぼさない。

【０１５４】さらに、上層のメタル配線をスパッタリング、めっき等の強い還元性雰囲気とならない方法で形成すれば、セラミック薄膜容量の劣化を招かない。

【０１５５】次に、本実施形態を強誘電体メモリに適用した場合の具体的な実施例を図４乃至図６を用いて説明する。

【０１５６】先ず、ウェット酸化によりシリコン基板１上に酸化膜２を形成した。その後、ボロン、リン等の不純物をシリコン基板１にイオン注入し、ｎ型及びｐ型のウェルを形成した。この後、ゲート３及び拡散層４を以下のように形成した。

【０１５７】先ず、ゲート酸化膜をウェット酸化により形成した後、ゲート３となるポリシリコンを成膜し、エッチングした。このポリシリコン膜の上にシリコン酸化膜を成膜した後、エッチングし、側壁酸化膜を形成した。

【０１５８】次に、ボロン、砒素等の不純物をイオン注入し、ｎ型及びｐ型の拡散層４を形成した。

【０１５９】さらに、この上にＴｉ膜を成膜した後、シリコンと反応させ、未反応のＴｉをエッチングにより除去することにより、Ｔｉシリサイドをゲート３及び拡散層４に形成した。

【０１６０】以上の過程により、図４（Ａ）に示すように、ｎ型及びｐ型のＭＯＳ型トランジスタをシリコン基板１に形成した。

【０１６１】次に、第１メタル配線層７及び第２メタル配線層１０を以下のように形成した。

【０１６２】先ず、第１層間絶縁膜５としてシリコン酸化膜及びボロン等の不純物を含んだシリコン酸化膜（ＢＰＳＧ）をシリコン基板１上に成膜した後、ＣＭＰ法により平坦化した。

【０１６３】次に、コンタクト６をエッチングにより開孔した後、ｎ型及びｐ型それぞれの拡散層４に対して不純物を注入し、７５０℃で１０秒間の熱処理を行った。その後、バリアメタルとしてＴｉ及びＴｉＮを成膜した。この上にタングステンをＣＶＤ法により成膜した後、ＣＭＰ法により表面のタングステンを除去した。この後、第１メタル配線７として、ＡｌＣｕをスパッタリングにより成膜し、エッチングにより加工した。

【０１６４】この第１メタル配線７の上に第２層間絶縁膜８としてシリコン酸化膜をＣＶＤ法により成膜した後、ＣＭＰ法により平坦化した。ビア９はコンタクト６と同様の方法で形成し、第１メタル配線と同様の方法により、図５（Ｃ）に示すように、第２メタル配線１０を形成した。

【０１６５】さらに、図５（Ｄ）に示すように、第３層間絶縁膜１１を形成後、容量下部コンタクト１２をコンタクト６と同様の方法で形成した。その後、水素５％、窒素９５％の雰囲気の下で４００℃の温度で２０分間のアニールを行った。

【０１６６】次に、強誘電体容量３０の形成方法を説明する。

【０１６７】先ず、下部電極１３として膜厚５０ｎｍのＴｉＮ及び膜厚１００ｎｍのＰｔをこの順にスパッタリング法により成膜した。Ｐｔは３００℃以上の温度でスパッタリングを行なうと、結晶性が向上するため好ましい。

【０１６８】この後、下部電極１３上に強誘電体薄膜１４としてＰＺＴをＣＶＤ法により成膜した。

【０１６９】原料には、ビスジピバロイルメタナート鉛（$Pb(DPM)_2$）、チタンイソポロポキシド（$Ti(OiPr)_4$）、ジルコニウムブトキシド（$Zr(OtBu)_4$）を用い、酸化剤としてNO_2を用いた。

【０１７０】これらの有機金属原料と酸化剤は別々の供

給口より反応室内に供給した。成膜条件は、基板温度を４００℃とし、成膜室内のガスの全圧は５×１０$^{-3}$Ｔｏｒｒとした。最初に、Ｐｂ（ＤＰＭ）$_2$を流量０．２ＳＣＣＭ、Ｔｉ（ＯｉＰｒ）$_4$を流量０．２５ＳＣＣＭ、ＮＯ$_2$を流量３．０ＳＣＣＭの条件で４０秒間成膜した。これによって、ＰｂＴｉＯ$_3$の微少な核結晶を下部電極１３上に形成した。

【０１７１】この後、Ｐｂ（ＤＰＭ）$_2$を流量０．２５ＳＣＣＭ、Ｚｒ（ＯｔＢｕ）$_4$を流量０．２２５ＳＣＣＭ、Ｔｉ（ＯｉＰｒ）$_4$を流量０．２ＳＣＣＭ、ＮＯ$_2$を流量３．０ＳＣＣＭの条件で６００秒間成膜し、膜厚１００ｎｍのＰＺＴ膜１４を得た。

【０１７２】この後、酸素１００％の雰囲気の下で４００℃の温度で１０分間のアニールを行なった。上部電極１５を形成する前にアニールを行なうことにより、ＰＺＴ容量の電気的特性を向上させることができる。

【０１７３】ＰＺＴ膜１４の上に上部電極１５として膜厚５０ｎｍのＩｒＯ$_2$及び膜厚１００ｎｍのＩｒをこの順にスパッタリング法により成膜した。

【０１７４】この後、上部電極１５、ＰＺＴ膜１４及び下部電極１３をエッチングにより加工し、さらに、酸素１００％の雰囲気の下で４００℃の温度で１０分間のアニールを行い、ＰＺＴ容量３０とした。

【０１７５】上部電極１５を形成した後にさらにアニールを行なうと、ＰＺＴ容量３０の電界の印加方向依存性が小さくなり、対称なヒステリシス特性を得ることができる。

【０１７６】第４層間絶縁膜１６としてシリコン酸化膜をＯ$_3$ＴＥＯＳ－ＣＶＤにより形成した後、容量上部コンタクト１７及びプレート線コンタクト１９をエッチングにより開孔した。

【０１７７】次いで、エッチングによるＰＺＴ容量３０の劣化を回復するため、窒素雰囲気の下で４００℃の温度で１０分間アニールを行なった。

【０１７８】第３メタル配線１８としてＷＳｉ、ＴｉＮ、ＡｌＣｕ、ＴｉＮをこの順にスパッタリングにより成膜した後、エッチングにより加工した。

【０１７９】この上にパッシベーション膜（図示せず）としてプラズマＣＶＤによりシリコン酸化膜及びＳｉＯＮ膜を形成した後、さらに、ポリイミド膜を形成した。この後、配線パッド部を開孔し、電気的特性の評価を行った。その結果を以下に示す。

【０１８０】１μｍ角のＰＺＴ容量を５０００個並列に接続し、その特性を測定したところ、反転と非反転電荷の差として１０μＣ／ｃｍ^{2}以上の値が得られ、良好な強誘電体特性を示した。疲労特性及び保持特性等も良好であった。

【０１８１】また、ゲート長０．２６μｍのトランジスタにおける特性を評価したところ、ｐ型、ｎ型ともにしきい値Ｖｔのばらつきはウェハー全面で１０％以下であり、良好であった。

【０１８２】さらに、０．４μｍ角の容量下部コンタクト１２を介して接続された下部電極１３と第２メタル配線１０との間の抵抗をコンタクト・チェーンにより測定したところ、コンタクト１個あたりの抵抗は１０Ω以下であり、良好であった。

【０１８３】（第二の実施形態）次に、本発明の第二の実施形態を図９及び図１０を用いて説明する。図９は本実施形態に係る強誘電体メモリまたはＤＲＡＭのメモリセルの断面図であり、図１０はプレート線がその末端部において第２メタル配線と接続する部分の断面図である。

【０１８４】本実施形態においては、第一の実施形態とは異なり、セラミック薄膜容量３０の上部電極１５はセラミック薄膜１４及び下部電極１３よりも小さい面積を有している。セラミック薄膜容量３０をこのような構造とすることにより、セラミック薄膜１４及び下部電極１３のエッチング不良により、上部電極１５と下部電極１３が容量側壁部で短絡するという不良を防止することができる。

【０１８５】また、第３メタル配線１８は下部電極１３及び容量下部コンタクト１２を介して第２メタル配線１０と接続している。このような構造とすることにより、容量上部コンタクト１７とプレート線コンタクト１９はほぼ同じ深さとなり、それらを同時に形成することが容易になる。また、第３メタル配線１８を接続する対象の上部電極１５と下部電極１３とには同種の導電体を用いることができるため、それぞれに対するコンタクト抵抗を制御しやすいという利点もある。

【０１８６】次に、本実施形態に係るメモリの製造方法を説明する。

【０１８７】セラミック薄膜１４の上に上部電極１５を形成するまでの過程は第一の実施形態の場合と全く同様である。その後、上部電極１５をエッチングにより加工する。この際、図１０に示したプレート線コンタクト１９の領域では、上部電極はエッチングにより除去される。この後、第４層間絶縁膜１６を形成し、さらに、容量上部コンタクト１７とプレート線コンタクト１９を開孔した後に、第３メタル配線１８を形成する。

【０１８８】（第三の実施形態）次に、図１１乃至図１４を参照して、本発明の第三の実施形態に係る強誘電体メモリまたはＤＲＡＭを説明する。図１１は本実施形態に係る強誘電体メモリまたはＤＲＡＭのメモリセルを示した平面図である。なお、第１メタル配線よりも下方の構造は図１（Ａ）に示した構造と同一である。図１２は図１１のＢ－Ｂ線における断面図である。図１３及び図１４は、プレート線をその末端部において第２メタル配線と接続する部分の断面図である。

【０１８９】第三の実施形態は、メタル配線とビアとを接続したプラグ構造によりセラミック薄膜容量を拡散層

に電気的に接続している点については第一の実施形態と同様であるが、セラミック薄膜容量の構造及びその製造方法が第一の実施形態とは異なっている。

【０１９０】本実施形態におけるセラミック薄膜容量３０は、図１２に示すように、第３層間絶縁膜１１上に間隔をあけて形成された複数の下部電極１３と、第３層間絶縁膜１１と下部電極１３の双方の全面を覆うセラミック薄膜１４と、下部電極１３の少なくとも一部を覆うようにセラミック薄膜１４上に形成されている上部電極１５とからなっている。上部電極１５は図３におけるプレート線３４を兼ねている。

【０１９１】セラミック薄膜容量３０をこのような構造とすることにより、セラミック薄膜容量３０上にプレート線３４とのコンタクトを形成する必要がなくなるため、セラミック薄膜容量の構造が単純化され、デバイスの微細化を容易に行うことができる。

【０１９２】また、下部電極１３を直方体や筒型等の立体的な形状とすることにより、セルの面積を増加させることなく、セラミック薄膜容量３０の実効面積を増加させることもできる。

【０１９３】次に本実施形態に係るメモリの製造方法を説明する。

【０１９４】セラミック薄膜容量３０以外の構造についての製造方法は第一の実施形態において述べた方法と同様である。このため、セラミック薄膜容量３０の製造方法のみを以下に述べる。

【０１９５】容量下部コンタクト１２を形成した後に、第３層間絶縁膜１１上に下部電極１３をスパッタリング法等により成膜し、エッチングにより加工する。良好なセラミック薄膜１４を得るには、加工した下部電極１３の表面をエッチング残さ等がない清浄な状態にする必要がある。そのため、エッチング後に、有機溶媒等により下部電極１３の表面を洗浄処理することが望ましい。下部電極１３の上に、ＣＶＤ法等によりＰＺＴ、ＢＳＴ等のセラミック薄膜１４を形成する。

【０１９６】図１３に示したように、プレート線３４として機能する上部電極１５を第２メタル配線１０と接続させる場合には、セラミック薄膜１４の形成後、プレート線コンタクト１９を開孔する。

【０１９７】図１３においては、プレート線コンタクト１９はセラミック薄膜１４を突き抜けて第３層間絶縁膜１１の内部に達しているが、セラミック薄膜１４は第３層間絶縁膜１１と同条件ではエッチングできない場合がある。そのような場合は、プレート線コンタクト１９の周辺部のセラミック薄膜１４を、予めエッチングにより除去することが望ましい。

【０１９８】次いで、上部電極１５をスパッタリング法等により成膜した後、エッチングにより加工し、セラミック薄膜容量３０及びプレート線３４が形成される。この上にパッシベーション膜（図示せず）を形成する。

【０１９９】図１４に示したように、上部電極１５を下部電極１３を介して第２メタル配線１０と接続させることもできる。この場合は、セラミック薄膜１４を形成した後、プレート線コンタクト１９を開孔し、その上に上部電極１５を成膜した後、エッチングにより加工する。

【０２００】上述した２種類の方法では、ともに、上部電極１５を形成する前に、セラミック薄膜１４をエッチングする必要がある。しかしながら、特に、強誘電体メモリの場合、電極と強誘電体膜の界面は容量の電気的特性に大きく影響する。そのため、セラミック薄膜１４をエッチングした後にレジストを剥離する方法としては、アッシングではなく、有機溶媒で剥離する方法がセラミック薄膜１４にダメージを与えないため、好ましい。

【０２０１】また、レジストを容易に剥離するため、プレート線コンタクト１９もウェットエッチングにより開孔することが好ましい。

【０２０２】このような方法によらずに、第一の実施形態と同様に、第３メタル配線１８を介して上部電極１５を第２メタル配線１０と接続させることも可能である。

【０２０３】本実施形態においては、下部電極１３を加工した後にセラミック薄膜１４を形成するため、セラミック薄膜１４とその下の第３層間絶縁膜１１が反応したり、セラミック薄膜１４を構成する元素が第３層間絶縁膜１１中に拡散する等の好ましくない影響が出るおそれがある。そのような場合には、第３層間絶縁膜１１上に拡散バリア膜（図示せず）を設けることが好ましい。拡散バリア膜としては、TaO_2、TiO_2、ZrO_2等の絶縁性の金属酸化物がセラミック薄膜１４との密着性が良いため、好ましい。

【０２０４】また、本実施形態においては、上部電極１５をプレート線３４として使用するため、上部電極１５の材料によっては、プレート線３４の抵抗が高くなるおそれがある。特に、強誘電体メモリにおいては、メモリセルの書き込み・読み出しのためにプレート線を駆動することが一般的であるため、プレート線３４を十分に低抵抗にする必要がある。このような場合は、図１５（Ｂ）に示したように、プレート裏打ち配線２３（プレート線３４の直下にあるため、図１５（Ｂ）には表れていない）を用いれば良い。プレート裏打ち配線２３は、低抵抗のメタルから形成することができるため、プレート線３４の抵抗を十分に低くすることができる。

【０２０５】次に、本実施形態を強誘電体メモリに適用した場合の具体的な実施例を図１２を用いて説明する。

【０２０６】強誘電体容量３０の形成よりも前の製造過程は、第一の実施形態の実施例の場合と同様である。

【０２０７】第３層間絶縁膜１１の上に、ＰＺＴ容量を以下の方法により製作した。

【０２０８】先ず、下部電極１３として、厚さ５０ｎｍのＴｉＮ、厚さ５０ｎｍのＰｔ、厚さ５０ｎｍのＩｒをこの順にスパッタリングにより成膜した。この上にレジ

ストを塗布した後、パターンニングし、ＡｒとＣｌ$_2$を反応ガスとして下部電極１３をエッチングした。その後、アッシングによりレジストを除去し、さらに、ジメチルスルホキシドと水の混合溶液により洗浄処理した。

【０２０９】この上に、厚さ２００ｎｍのＰＺＴ薄膜１４を、第一の実施形態の実施例の場合と同様に成膜した。ただし、ＰＺＴの成膜時間を１２００秒とした。

【０２１０】次いで、ＰＺＴ薄膜１４の上にレジストを塗布・パターニングした後、ＰＺＴ膜１４をフッ硝酸によりウェットエッチングし、プレート線コンタクト１９を形成した。

【０２１１】この後、レジストを有機溶媒により剥離し、酸素１００％の雰囲気の下で４００℃の温度で１０分間のアニールを行なった。

【０２１２】次いで、ＰＺＴ膜１４の上に上部電極１５として膜厚５０ｎｍのＩｒＯ$_2$及び膜厚１００ｎｍのＩｒをこの順にスパッタリング法により成膜した。

【０２１３】この後、酸素１００％の雰囲気の下で４００℃の温度で１０分間のアニールを行い、ＰＺＴ容量３０とした。

【０２１４】第４層間絶縁膜１６としてシリコン酸化膜をＯ$_3$ＴＥＯＳ－ＣＶＤにより形成した。この上にパッシベーション膜（図示せず）としてプラズマＣＶＤによりＳｉＯＮ膜を形成した後、さらにポリイミド膜を形成した。最後に、配線パッド部を開孔した。

【０２１５】上記の方法により、図３に示したメモリセルを約１万６千個集積したセルアレイと、センスアンプ、デコーダ等を備える強誘電体メモリを製作した。この強誘電体メモリは、電源電圧２．５Ｖ、サイクル時間１００ｎｓｅｃ以下で動作することを確認した。

【０２１６】（第四の実施形態）次に、本発明の第四の実施形態に係る強誘電体メモリまたはＤＲＡＭを図１５及び図１６を参照して説明する。図１５（Ａ）は第２メタル配線を形成した後までのメモリセルの平面図であり、図１５（Ｂ）は拡散層４以外の第１メタル配線７以前に形成したデバイスを省略した平面図である。図１６は図１５（Ａ）のＣ－Ｃ線における断面図である。

【０２１７】本実施形態では、セラミック薄膜容量３０を拡散層４に接続するプラグにおけるメタル配線とビアの構造が第一の実施形態とは異なっている。すなわち、第一の実施形態ではビア９の直上に容量下部コンタクト１２が形成されているが、本実施形態では、図１６に示すように、ビア９と容量下部コンタクト１２は第２メタル配線１０の長さ方向において一定の間隔をあけて配置されている。すなわち、容量下部コンタクト１２はビア９の直上には形成されていない。

【０２１８】ビア９及び第２メタル配線１０の形成プロセスによっては、ビア９上の第２メタル配線１０にへこみ等が生じることがある。このようにへこみが生じた平坦でない第２メタル配線１０上に容量下部コンタクト１２や第２ビア２０等を形成すると、良好な電気的接続が得られないおそれがある。このため、このような場合には、本実施形態のように、ビア９の直上ではなく、ビア９から一定の間隔だけ離れた位置に容量下部コンタクト１２等を形成することが望ましい。

【０２１９】また、図１６に示したように、容量下部コンタクト１２はセラミック薄膜容量３０の中央に位置していない。また、セラミック薄膜容量３０と第３メタル配線１８とを接続している容量上部コンタクト１７は容量下部コンタクト１２の直上に配置されていない。容量下部コンタクト１２及び容量上部コンタクト１７をこのように配置することにより、容量下部コンタクト１２上にへこみ等が生じても、セラミック薄膜容量３０の特性に悪影響を与えることはない。さらには、第３メタル配線１８と上部電極１５との間の電気的接続にも悪影響を与えることはない。また、セル面積を増加させることもない。

【０２２０】本実施形態に係るメモリは第一の実施形態に係るメモリと同様な方法により製造することができる。

【０２２１】（第五の実施形態）次に、本発明の第五の実施形態に係る強誘電体メモリまたはＤＲＡＭを図１７及び図１８を参照して説明する。図１７は本実施形態に係る強誘電体メモリまたはＤＲＡＭのメモリセルを示した平面図であり、第２コンタクト２１より下方の構造を示したものである。第２コンタクト２１よりも上方の構造は図１（Ｂ）に示した構造と同様である。図１８は図１７のＤ－Ｄ線における断面図である。

【０２２２】本実施形態においては、セラミック薄膜容量３０と拡散層４とを接続するプラグにおいて、セラミック薄膜容量３０と第１メタル配線７とを接続せずに、第２コンタクト２１を介して第２メタル配線１０と拡散層４とを直接に接続している。

【０２２３】第一の実施形態では、セラミック薄膜容量３０と拡散層４とを接続する容量プラグとビット線の両方に第１メタル配線７が用いられているため、容量プラグとビット線とは第１メタル配線７がエッチングにより加工可能な間隔で離れている必要がある。これに対して、本実施形態では、セル内において第１メタル配線７はビット線３５としてのみ用いられているため、容量プラグとビット線とが上記のような間隔で離れている必要がなく、従って、セル面積を縮小させることが可能である。

【０２２４】次に、本実施形態にかかるメモリの製造方法を説明する。

【０２２５】先ず、第一の実施形態と同様に第１メタル配線７及び第２層間絶縁膜８までを形成する。ただし、容量を接続するためのコンタクトは形成しない。次に、第２コンタクト２１をエッチングにより開孔する。この後、Ｔｉ、ＴｉＮ等のバリアメタルを形成するが、第２

コンタクト２１は特にアスペクト比が大きくなるため、コリメータ・スパッタリングやＣＶＤ法のように埋め込み性の良い成膜法により成膜することが望ましい。

【０２２６】次に、コンタクト６を形成する場合と同様に、タングステンプラグを形成する。第２コンタクト２１と他の多層メタル配線におけるビアを同時に形成することもできる。このようにして形成した第２コンタクト２１の上に第２メタル配線１０を形成する。以降の工程は、第一の実施形態と同様である。

【０２２７】（第六の実施形態）次に本発明の第六の実施形態に係る強誘電体メモリまたはＤＲＡＭを図１９を参照して説明する。

【０２２８】本実施形態に係るメモリセルは、セラミック薄膜容量３０と拡散層４とを接続するプラグにおいて、セラミック薄膜容量３０と第１メタル配線７とを接続しないことは第五の実施形態と同様であるが、図１９に示したように、第２メタル配線１０はビア９とコンタクト６を介して拡散層４に接続している。

【０２２９】本実施形態においても、第五の実施形態と同様に、セル内において第１メタル配線７はビット線３５としてのみ用いられているため、セル面積を縮小させることが可能である。しかも、第五の実施形態とは異なり第２コンタクト２１を用いていないため、製造過程を簡略化することができる。

【０２３０】次に、本実施形態に係るメモリの製造方法を説明する。

【０２３１】第一の実施形態と同様に第１層間絶縁膜５までを形成する。次に、第１メタル配線７を形成するが、容量プラグの第１メタル配線７は形成しない（すなわち、図１９に示すように、拡散層４上には第１メタル配線７は形成しない）。

【０２３２】次いで、第１層間絶縁膜５及び第１メタル配線７の上に、第２層間絶縁膜８を形成後、ビア９をエッチングにより開孔する。

【０２３３】メモリセル以外の多層メタル配線においては、第２層間絶縁膜８は第１メタル配線７までしかエッチングされないが、メモリセルでは第１層間絶縁膜５までオーバーエッチングされる。

【０２３４】次に、コンタクト６を形成する場合と同様に、タングステンプラグを形成する。このようにして形成したビア９の上に第２メタル配線１０を形成する。以降の工程は、第一の実施形態と同様である。

【０２３５】（第七の実施形態）次に、本発明の第七の実施形態に係る強誘電体メモリまたはＤＲＡＭを図２０乃至図２３を参照して説明する。図２０は本実施形態における強誘電体メモリまたはＤＲＡＭのメモリセルを示した平面図であり、第１メタル配線よりも下方の構造を示している。図２１は図２０のＥ－Ｅ線における断面図である。

【０２３６】本実施形態では、ビット線３５としてシリサイド配線２２を用いており、第１メタル配線７はセラミック薄膜容量３０と拡散層４とを接続するプラグにおいてのみ用いている。このため、第五の実施形態と同様に、セル面積を縮小させることが可能である。

【０２３７】また、本実施形態では、第１メタル配線７と第２メタル配線１０をワード線３３の裏打ち配線として用いている。

【０２３８】図２２は裏打ち配線とワード線３３の接続を示す回路図であり、図２３は第１メタル配線７とワード線３３の接続部の平面図である。

【０２３９】ワード線３３は主にポリシリコンからなるため、抵抗が高い。そのため、ワード線３３に低抵抗のメタル配線を裏打ちし、ワード線３３の抵抗を下げることが一般に行われている。このような裏打ち配線は、通常、１層のメタル配線を用いている。これに対して、本実施形態においては、２層のメタル配線を裏打っ配線として用いることにより、セル面積を増加させることなく、ワード線３３の裏打ちを行なっている。

【０２４０】さらに、図２２に示したように、ワード線３３につながるアレイを２分割し、裏打ちするメタル配線を分割したアレイで対称な構造とすることにより、雑音を低減している。

【０２４１】次に、本実施形態に係るメモリの製造方法を説明する。

【０２４２】先ず、第一の実施形態の場合と同様に、シリコン基板１上にトランジスタ部を形成する。層間絶縁膜（図示せず）を形成した後、コンタクト６を開孔し、ＷＳｉ等でシリサイド配線２２を形成する。この層間絶縁膜上に第１層間絶縁膜５を形成し、その後、第２コンタクト２１を拡散層４上に開孔する。以降の過程は第一の実施形態と同様である。

【０２４３】

【発明の効果】以上説明したように、本発明によれば、セラミック薄膜容量が、多層メタル配線の形成と同時に形成されたビアとメタル配線とを積層した構造からなるプラグを介して拡散層と接続される。このため、このような基本構成に基づき、容易に多層メタル配線を形成することができ、かつ、容量素子の劣化も生じないセラミック薄膜容量を用いた半導体装置を提供することができる。

【０２４４】その理由は、多層メタル配線形成後にセラミック薄膜容量を形成するため、該セラミック薄膜容量による高低差のために、多層メタル配線の形成が妨げられることがないからである。

【０２４５】さらに、セラミック薄膜容量形成後にメタル配線と基板との間のコンタクトの形成や、タングステンプラグによるビアの形成の必要がないため、セラミック薄膜容量の劣化がない。

【０２４６】また、多層メタル配線を形成後、かつ、セラミック薄膜容量を形成する前に、水素アニールを行う

ことにより、トランジスタの劣化を低減することができる。

【０２４７】また、本発明によれば、セラミック薄膜容量を用いたメモリと大規模な論理回路とを低コストで同一チップ上に混載した半導体装置が提供される。論理回路部のプロセス・デバイスを何ら変更することなくセラミック薄膜容量を形成できるため、既存の設計パラメータを使用できるからである。

【図面の簡単な説明】

【図１】図１（Ａ）及び（Ｂ）は本発明の第１の実施形態に係るメモリセルを示す平面図である。

【図２】図１（Ａ）のＡ－Ａ線に沿った断面図である。

【図３】図１に示した第１の実施形態に係るメモリの回路図である。

【図４】本発明の第１の実施形態に係るメモリの製造方法を示す断面図である。

【図５】本発明の第１の実施形態に係るメモリの製造方法を示す断面図である。

【図６】本発明の第１の実施形態に係るメモリの製造方法を示す断面図である。

【図７】本発明の第１の実施形態に係るメモリにおけるプレート線の末端部の構造の一例を示す断面図である。

【図８】本発明の第１の実施形態に係るメモリにおけるプレート線の末端部の構造の他の例を示す断面図である。

【図９】本発明の第２の実施形態に係るメモリの断面図である。

【図１０】本発明の第２の実施形態に係るメモリにおけるプレート線の末端部の構造の一例を示す断面図である。

【図１１】本発明の第３の実施形態に係るメモリを示す平面図である。

【図１２】図１１のＢ－Ｂ線における断面図である。

【図１３】本発明の第３の実施形態に係るメモリにおけるプレート線の末端部の構造の一例を示す断面図である。

【図１４】本発明の第３の実施形態に係るメモリにおけるプレート線の末端部の構造の他の例を示す断面図である。

【図１５】図１５（Ａ）及び（Ｂ）は本発明の第４の実施形態に係るメモリを示す平面図である。

【図１６】図１５（Ａ）のＣ－Ｃ線における断面図である。

【図１７】本発明の第５の実施形態に係るメモリを示す平面図である。

【図１８】図１７のＤ－Ｄ線における断面図である。

【図１９】本発明の第６の実施形態に係るメモリを示す断面図である。

【図２０】本発明の第７の実施形態に係るメモリを示す平面図である。

【図２１】図２０のＥ－Ｅ線における断面図である。

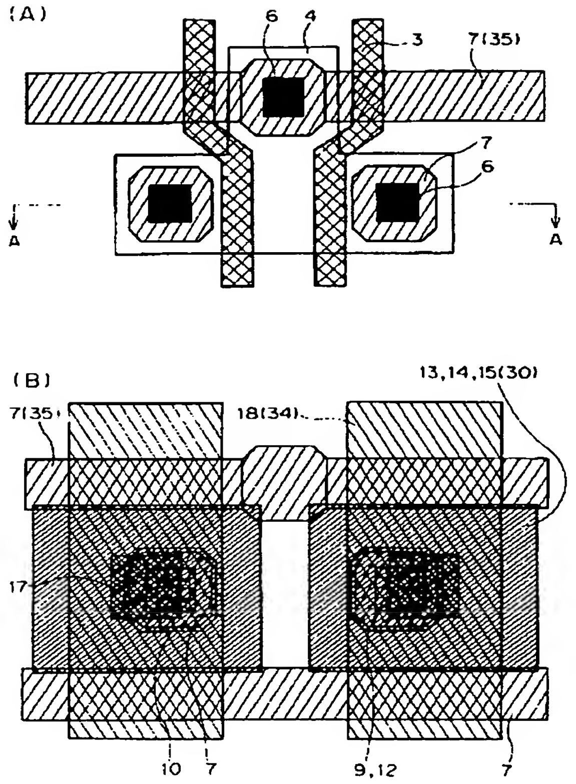
【図２２】本発明の第７の実施形態に係るメモリの回路ブロック図である。

【図２３】本発明の第７の実施形態に係るメモリのワード線とワード線裏打ち配線である第１メタル配線との接続部を示す平面図である。

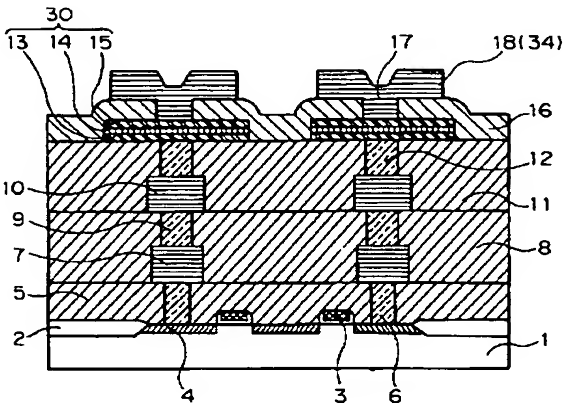
【符号の説明】

１　シリコン基板
２　シリコン酸化膜
３　ゲート
４　拡散層
５　第１層間絶縁膜
６　コンタクト
７　第１メタル配線
８　第２層間絶縁膜
９　ビア
１０　第２メタル配線
１１　第３層間絶縁膜
１２　容量下部コンタクト
１３　下部電極
１４　セラミック薄膜
１５　上部電極
１６　第４層間絶縁膜
１７　容量上部コンタクト
１８　第３メタル配線
１９　プレート線コンタクト
２０　第２ビア
２１　第２コンタクト
２２　シリサイド配線
３０　セラミック薄膜容量
３１　選択トランジスタ
３２　メモリセル
３３　ワード線
３４　プレート線
３５　ビット線

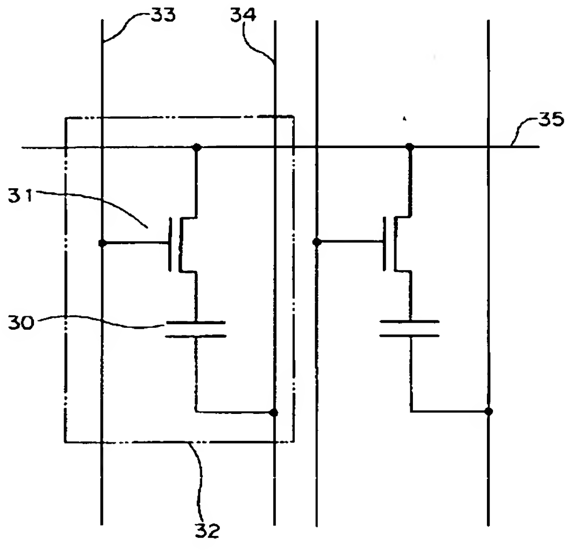
【図１】



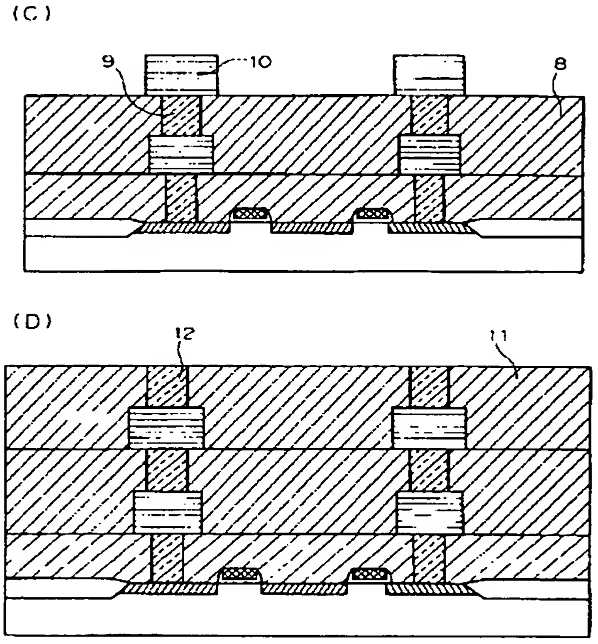
【図２】



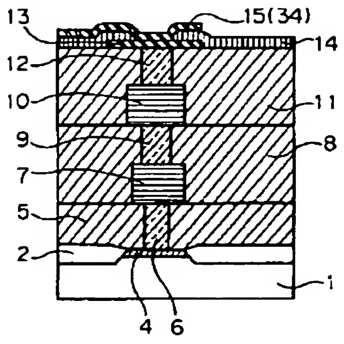
【図３】



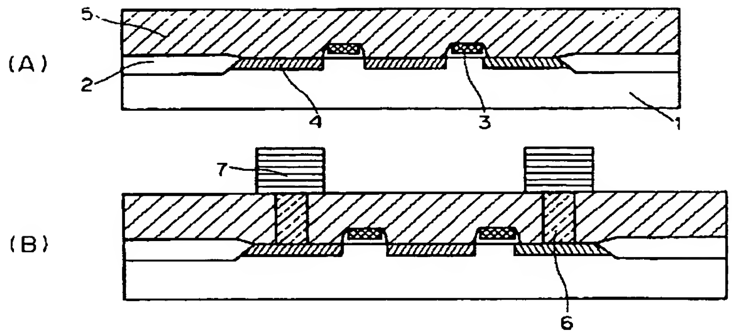
【図５】



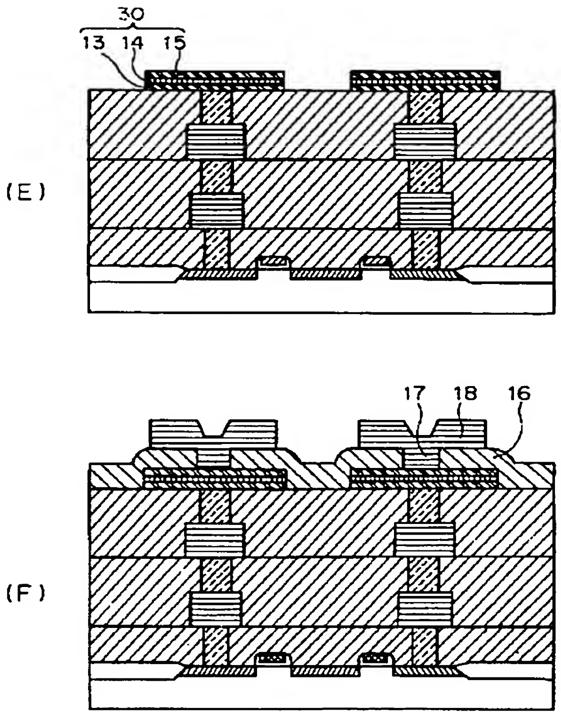
【図１４】



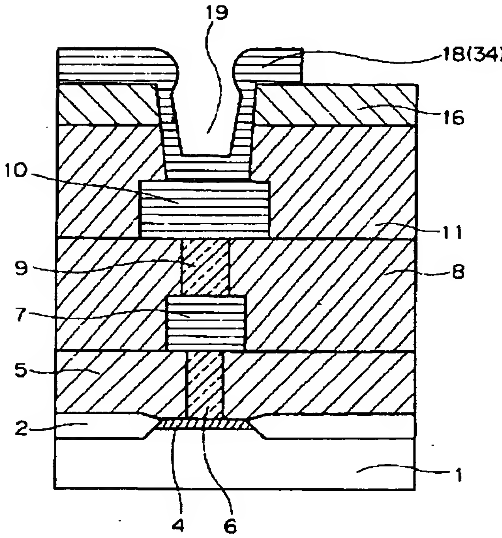
【図４】



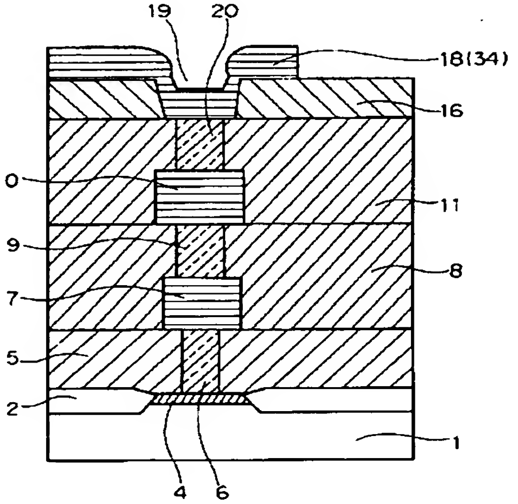
【図６】



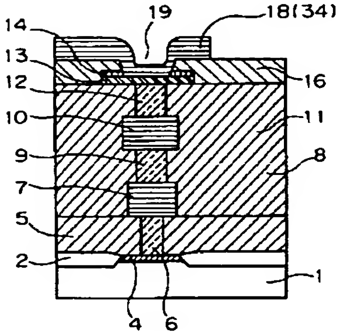
【図７】



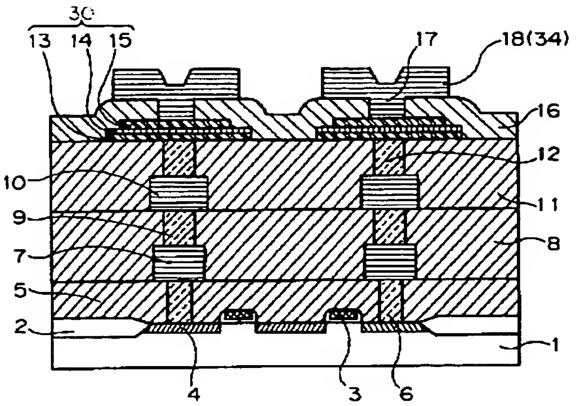
【図８】



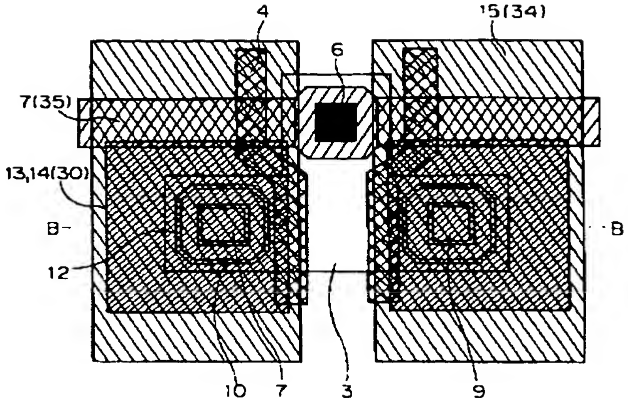
【図１０】



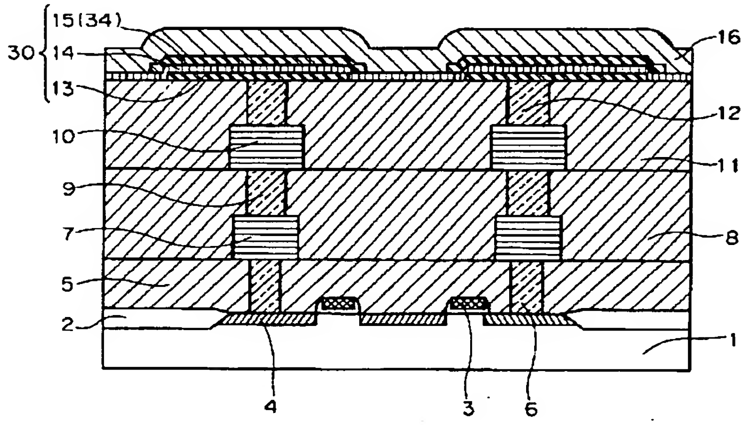
【図９】



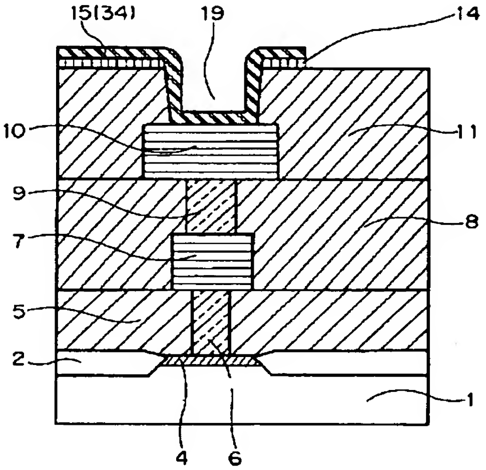
【図１１】



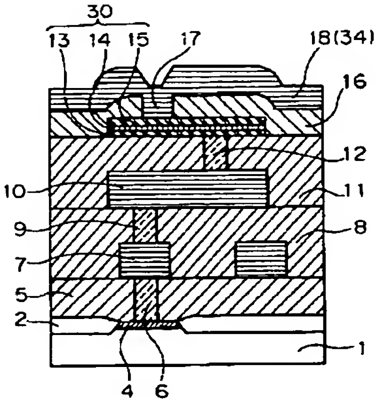
【図１２】



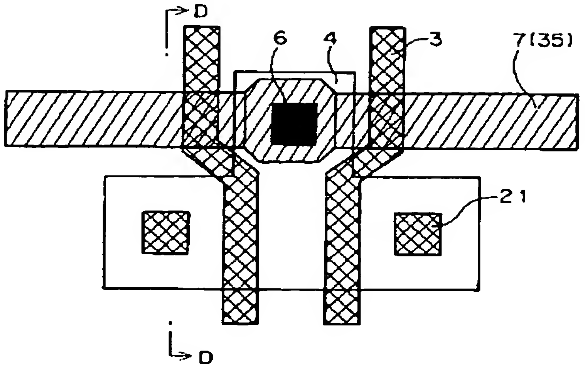
【図１３】



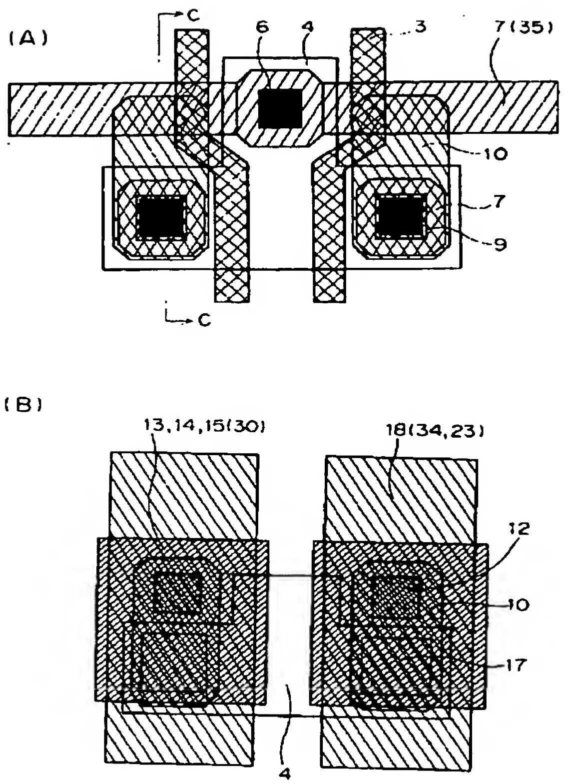
【図１６】



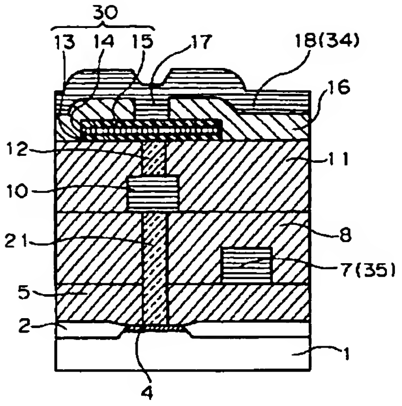
【図１７】



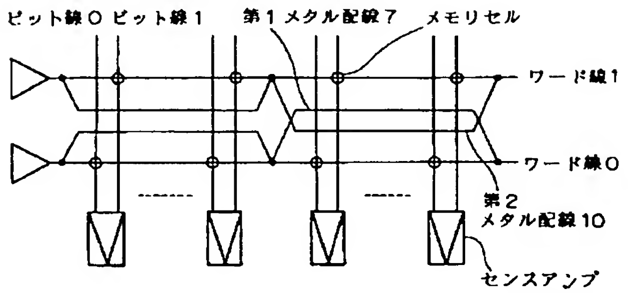
【図15】



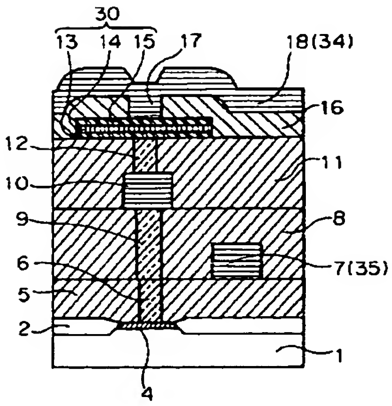
【図18】



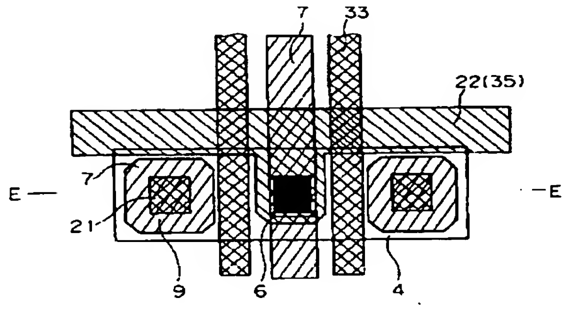
【図22】



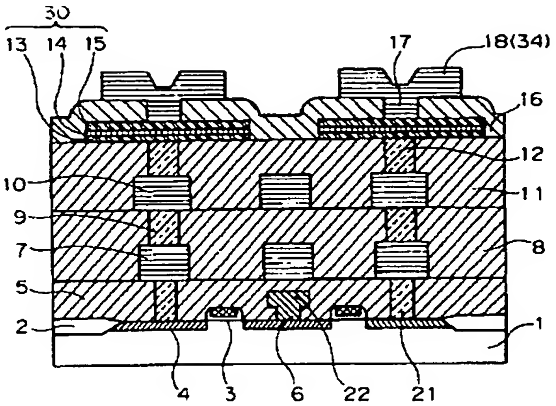
【図19】



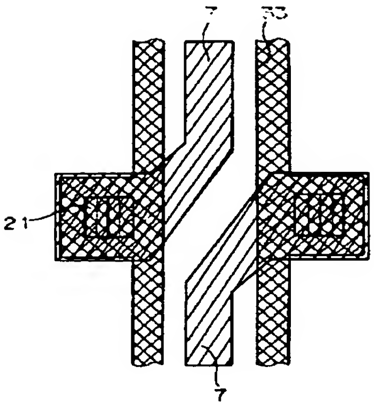
【図20】



【図21】



【図23】



フロントページの続き

(51) Int. Cl.⁶ 識別記号 F I

H01L 21/8247
29/788
29/792